

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

11987187

Basic Patent (No,Kind,Date): JP 6250214 A2 19940909 <No. of Patents: 002>

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 6250214 A2 19940909

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): TAKENAKA SATOSHI

Priority (No,Kind,Date): JP 9333654 A 19930223

Applic (No,Kind,Date): JP 9333654 A 19930223

IPC: * G02F-001/136; H01L-029/784; H01L-021/336

Derwent WPI Acc No: ; G 94-351592

JAPIO Reference No: ; 180642P000069

Language of Document: Japanese

Patent (No,Kind,Date): JP 3163822 B2 20010508

Priority (No,Kind,Date): JP 9333654 A 19930223

Applic (No,Kind,Date): JP 9333654 A 19930223

IPC: * G02F-001/1368; H01L-029/786

Derwent WPI Acc No: * G 94-351592

JAPIO Reference No: * 180642P000069

Language of Document: Japanese

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04578314 **Image available**

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 06-250214 [JP 6250214 A]

PUBLISHED: September 09, 1994 (19940909)

INVENTOR(s): TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 05-033654 [JP 9333654]

FILED: February 23, 1993 (19930223)

INTL CLASS: [5] G02F-001/136; H01L-029/784; H01L-021/336

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1838, Vol. 18, No. 642, Pg. 69,
December 06, 1994 (19941206)

ABSTRACT

PURPOSE: To lower the scanning line resistance of a liquid crystal display without lowering the yield and to decrease the off-leak currents of thin-film transistor (TFT).

CONSTITUTION: Gate electrodes are formed by laminating two-layered structure consisting of a thin film 1-3 of a high etching rate for a lower layer and a thin film 1-2 of a low etching rate for the upper layer and patterning the two-layered structure by one time of photoetching. Ions are implanted in a self-matching manner to the upper layer film 1-2 to form the TFT having an offset gate structure. As a result, the sheet resistance of the scanning line 1-13 decreases from present 25.omega./square to about 1/3 of it, i.e., 8.omega./square. Further, the off leak current also decreases. Consequently, the liquid crystal display which decreases flickers and unequal displays and has excellent pixel holding characteristics is realized. Photoetching stages do not increase.

(19)日本国特許庁(JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-250214

(43)公開日 平成6年(1994)9月9日

(51)IntCl ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784				
21/336				
		9056-4M	H 0 1 L 29/ 78	3 1 1 G
		9056-4M		3 1 1 P
			審査請求 未請求 請求項の数3	OL (全 9 頁)

(21)出願番号	特願平5-33854	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22)出願日	平成 5 年(1993) 2 月 23 日	(72)発明者	竹中 敏 長野県諏訪市大和 3 丁目 3 番 5 号セイコーエプソン株式会社内
		(74)代理人	弁理士 鈴木 喜三郎 (外 1 名)

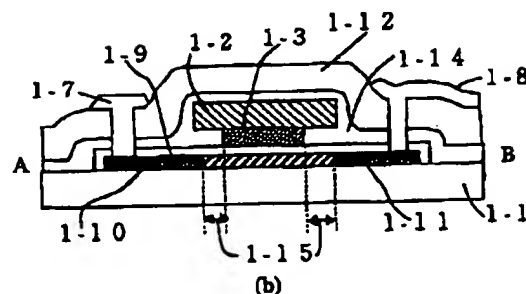
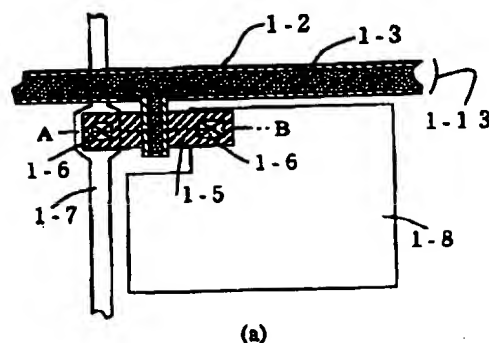
(54)【発明の名称】 アクティブマトリックス型液晶表示装置

(57) 【要約】

【目的】 歩留まりを低下させることなく、液晶ディスプレイの走査線抵抗を低抵抗化すると共に、薄膜トランジスタのオフリーク電流を低減させる。

【構成】 下層にエッチングレートの大きな薄膜、上層にエッチングレートの小さな薄膜の2層構造を積層し、1回のフォトリソエッチングにより前記2層構造をパターンニングしてゲート電極を形成する。上層膜に対して自己整合的にイオン注入してオフセットゲート構造薄膜トランジスタを形成する。

【効果】 走査線のシート抵抗が現状の $25\Omega/\square$ から3分の1の $8\Omega/\square$ 程度に低減する。さらにオフリーク電流が低減する。その結果、フリッカや表示ムラが少なく、さらに画素保持特性の優れた液晶ディスプレイが実現される。フォト工程は増加しない。



(2)

特開平6-250214

2

【特許請求の範囲】

【請求項1】 基板上に平行に配置された複数の走査線と、該走査線と直交して配置された複数の信号線を有し、該信号線と前記走査線の各交点部分に対応して、ソース領域が前記信号線に、ドレイン領域が画素電極に接続され、さらに前記走査線と一体となったゲート電極を具備した薄膜トランジスタが配置されたアクティブマトリックス型液晶表示装置に於いて、走査線およびゲート電極は、2層膜により構成され、しかも、該2層膜は、同一エッチング条件の下で、下層のエッチングレートのほうが、上層のエッチングレートよりも大きい薄膜を積層した2層構造である事を特徴とするアクティブマトリックス型液晶表示装置。

【請求項2】 請求項1のソース領域およびドレイン領域とチャネル領域との境界は、前記下層のエッチングレートの大きい薄膜のパターンとオーバーラップしていないことを特徴とするアクティブマトリックス型液晶表示装置。

【請求項3】 請求項1の2層走査線、および2層ゲート電極において、前記下層のエッチングレートの大きい薄膜の方が、前記上層のエッチングレートの小さい薄膜よりも低い面抵抗値を有していることを特徴とするアクティブマトリックス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各画素をスイッチングするための薄膜トランジスタを有するアクティブマトリックス型液晶表示装置において、走査線の配線抵抗および前記薄膜トランジスタのゲート電極の抵抗を低減させると共に、前記薄膜トランジスタのオフリーク電流を低減させることにより、表示ムラやフリッカや解像度、さらに画素保持特性等の優れたアクティブマトリックス型液晶表示装置の構造とその製造方法に関するものである。

【0002】

【従来の技術】 薄膜トランジスタは、アクティブマトリックス型液晶表示装置（以下では液晶ディスプレイと呼ぶ）において画素のスイッチング素子やドライバー回路、或いは密着型イメージセンサー、さらにはSRAM（Static Random Access Memories）等へ応用されている。しかしながら従来の液晶ディスプレイに於いては、その走査線と薄膜トランジスタのゲート電極は同一工程により、不純物添加された多結晶シリコン膜1層のみで形成されていた。該不純物添加多結晶シリコン膜をたとえば3500Å堆積させたとしても、そのシート抵抗は20Ω/□程度にしか下らない。（電子情報通信学会技術研究報告、SDM91-164、電子情報通信学会、1991年）

液晶ディスプレイにこの従来の走査線とゲート電極を応用した場合の問題点を以下に述べる。

【0003】 第1の問題点は、走査線断線が線欠陥となり液晶ディスプレイの品質を低下させ、歩留まりを低下させることである。液晶ディスプレイの駆動方法としては、走査線に左右両側からゲート信号を入れるのが普通である。例えば走査線がある1点で断線していても、その走査線には両側からゲート信号がくる。ところが走査線の抵抗が高い場合にはゲート信号の遅延が無視できなくなり、断線付近の画素の応答の遅れが目立つようになる。また、走査線とソース線の短絡が有った場合にはこの短絡点の両側の走査線を切断して短絡の影響をなくしたいところだが、走査線抵抗が高いために逆に線欠陥になってしまう。走査線を低抵抗化することができれば、この両側からくるゲート信号の遅延は問題にならない程度に小さくなり、液晶ディスプレイの表示画面にはなんら影響がでなくなる。

【0004】 第2の問題点は、フリッカ（画面のちらつき）や表示ムラを抑えることができないことである。走査線に矩形パルスを入力した際に、走査線の時定数 $\tau = R \times C$ （ R は走査線抵抗、 C は走査線容量）が大きいと画面の中央部では、前記矩形パルスの波形がなまってしまい画素トランジスタの立ち上がり特性がばらついてしまうので、その結果、フリッカとなって現れる。走査線抵抗が高いと時定数 τ が大きくなるのでフリッカを抑えることができない。大画面あるいはハイビジョン液晶ディスプレイに応用していく場合には上記の問題点は、更に顕著になる。

【0005】 第3の問題点は、従来通り不純物添加多結晶シリコン膜を用いた場合には、その膜厚を5000Åとしてもそのシート抵抗は15Ω/□程度にしか下がらない。さらに低抵抗化するには、膜厚を5000Å以上にすることが必要となる。しかし、これでは素子の表面の凹凸が大きくなり、その上に形成される膜あるいは配線の段差被覆性が問題となり、歩留まり低下の大きな要因となる。

【0006】 第4の問題点は、低抵抗化の為にシリサイドを用いた場合に、石英基板に対するシリサイドの応力が大きいことである。線膨張率の値を比べてみると石英基板が $5.5 \times 10^{-7}/\text{deg.}$ であるのに対して、 MoSi_2 が $8.25 \times 10^{-6}/\text{deg.}$ 、 WSi_2 が $6.25 \times 10^{-6}/\text{deg.}$ 程度と石英基板に対して1桁以上も大きい。（半導体研究24、工業調査会、1986年）従って、石英基板上のシリサイド膜は応力を受けて、膜にクラック等が入りやすくなるものと考えられる。これも歩留まり低減の原因になる。

【0007】 一方、薄膜トランジスタのオフリーク電流が大きいと、画素の保持特性が劣化するため、優れた液晶ディスプレイを実現するためには、オフリーク電流を低減させることが必要となる。通常の薄膜トランジスタのオフ領域におけるリーク電流は、ドレイン領域近傍の電界強度に強く依存しており、ゲート電圧をオフ側に大

(3)

特開平6-250214

3

きくして行くとオフリーク電流は大きくはね上がる。オフリーク電流を低減させるためには、LDD (Lightly doped drain) 構造あるいはオフセットゲート構造を形成することが有効であることが知られている。

【0008】従来のLDD構造あるいはオフセットゲート構造においては、異方性エッチングを利用してゲート電極側壁を設けるなどの複雑な工程が必要であった。

【0009】

【発明が解決しようとする課題】上記のような従来の方法の問題点を解決するためには、走査線のシート抵抗の値を従来の3分の1の5〜8Ω/□程度に下げる必要がある。その方法のひとつとして、最下層多結晶シリコン膜、中間層にシリサイド膜、最上層に多結晶シリコン膜を積層した3層構造を1回のフォトリソエッチングでパターンニングして薄膜トランジスタのゲート電極と走査線を形成する方法がある (Proceedings of The 12th International Display Research Conference (Japan Display 1992) p451)。通常のゲート電極構造では問題はないが、オフセットゲート構造を形成するために更に過剰にエッチングすると、シリサイド膜のエッチングレートが最も大きいために、図5に示す様に、中間層のシリサイド膜が異常にエッチされてオーバーハング形状になってしまう。従って、層間絶縁膜5-9の段差上での被膜性が悪くなり、その上に形成される配線の断線率が大きくなってしまふ。図5は多結晶シリコン/シリサイド/多結晶シリコンの3層膜を1回のフォトリソエッチによってゲート電極とした場合の薄膜トランジスタの断面図である。5-1は絶縁基板、5-2は半導体薄膜、5-3はソース領域、5-4はドレイン領域、5-5はゲート絶縁膜、5-6は最下層の多結晶シリコン膜、5-7はシリサイド膜、5-8は最上層の多結晶シリコン膜を示しており、5-6と5-7と5-8とで3層ゲート電極を構成している。5-9は層間絶縁膜、5-10はソース電極、5-11はドレイン電極である。

【0010】本発明の目的は、走査線と薄膜トランジスタのゲート電極を低抵抗化し、さらにオフセットゲート構造によりオフリーク電流の低い薄膜トランジスタを従来のプロセスと比べても難しくない方法で作製して、画素ムラやフリッカが少なく、画素保持特性の優れた液晶ディスプレイを歩留まり良く、簡単に実現する方法を提供することである。

【0011】

【課題を解決するための手段】本発明は、基板上に平行に配置された複数の走査線と、該走査線と直交して配置された複数の信号線を有し、該信号線と前記走査線の各交点部分に対応して、ソース領域が前記信号線に、ドレイン領域が画素電極に接続され、さらに前記走査線と一

4

体となったゲート電極を具備した薄膜トランジスタが配置されたアクティブマトリックス型液晶表示装置に於いて、走査線およびゲート電極は、2層膜により構成され、しかも、該2層膜は、同一エッチング条件の下で、下層のエッチングレートのほうが、上層のエッチングレートよりも大きい薄膜を積層した2層構造である事を特徴とする。

【0012】さらに、前記ソース領域および前記ドレイン領域とチャネル領域との境界は、前記下層のエッチングレートの大きい薄膜のパターンとオーバーラップしていないことを特徴とする。

【0013】さらに、前記2層走査線、および2層ゲート電極において、前記下層のエッチングレートの大きい薄膜の方が、前記上層のエッチングレートの小さい薄膜よりも低い面抵抗値を有していることを特徴とする。

【0014】

【実施例】まずはじめに本発明による2層走査線および2層ゲート電極を応用したオフセットゲート構造薄膜トランジスタを有する液晶ディスプレイの構造を図1に示す。図1(a)は1画素の構造平面図を示し、図1(b)は、図1(a)において直線A-Bで切断したときの構造断面図である。まず図1(a)において1-13は走査線、1-7はソース線、1-5は、薄膜トランジスタの能動領域を構成する半導体薄膜、1-6はコンタクトホール、1-8は画素電極を示している。前記走査線1-13は、下層はエッチングレートの大きな薄膜1-3、上層はエッチングレートの小さい薄膜1-2の2層構造膜である。上層膜1-2を低抵抗の多結晶シリコン膜で形成する場合には、下層膜1-3はシリサイド膜等を用いる。該シリサイド膜としては、コバルトシリサイド(CoSi₂)、またはニッケルシリサイド(NiSi₂)、またはチタンシリサイド(TiSi₂)、またはモリブデンシリサイド(MoSi₂)、またはタングステンシリサイド(WSi₂)等を用いる。薄膜トランジスタのゲート電極も、前記2層構造膜で一体形成されている。直線A-Bで切断したときの断面図を図1

(b)に示す。同一エッチング条件の下では、前記シリサイド膜のエッチングレートは前記低抵抗の多結晶シリコン膜のエッチングレートよりも大きい。従って、下層膜1-3のパターン幅は、上層膜1-2のパターン幅よりも細くなる。このパターン幅の差1-15をオフセット長Lとする。薄膜トランジスタのソース領域1-10およびドレイン領域1-11は前記上層膜1-2に対して自己整合的に形成される。従って、オフセット長L1-15で示される領域はオフセット領域となる。1-12は層間絶縁膜、1-14は段差被覆性の良好な絶縁膜である。

【0015】以下に、本発明の2層走査線と2層ゲート電極を有するオフセットゲート薄膜トランジスタを応用したアクティブマトリックス基板を例として、その製造

(4)

特開平6-250214

5

方法を説明する。

【0016】まず、図1(a)において直線A-Bで切断したときの断面図を用い、本発明を説明する。図2に示すように絶縁性非晶質材料2-1上に、非単結晶半導体薄膜2-2を成膜する。前記絶縁性非晶質材料としては、石英基板、ガラス基板、窒化膜あるいは SiO_2 膜等が用いられる。石英基板を用いる場合はプロセス温度は1200℃程度まで許容されるが、ガラス基板を用いる場合は、600℃以下の低温プロセスに制限される。以下では、石英基板を用い、前記非単結晶半導体薄膜として固相成長Si薄膜を用いた場合を実施例として説明する。もちろん、固相成長Si薄膜ばかりでなく、減圧CVD法やプラズマCVD法あるいはスパッタ法等で成膜された多結晶Si薄膜やSOI(Silicon on Insulator)を用いても本発明を実現することができる。

【0017】プラズマCVD装置を用い、図2(a)に示すように石英基板2-1上に、 SiH_4 と H_2 の混合ガスを、13.56MHzの高周波グロー放電により分解させて非晶質Si膜2-2を堆積させる。前記混合ガスの SiH_4 分圧は10~20%、デボ中の内圧は0.5~1.5torr程度である。基板温度は250℃以下、180℃程度が適している。赤外吸収測定より結合水素量を求めたところ約8at%であった。前記非晶質Si膜2-2の堆積前のチェンバーをフロン洗浄し、続いて堆積させられた非晶質Si膜は $2 \times 10^{18} \text{ cm}^{-3}$ の弗素を含んでいる。従って、本発明においては、前記フロン洗浄後、ダミーの堆積を行ってから、実際の堆積を行う。あるいは、フロン洗浄を廃止し、ピーズ処理等の別の方法でチェンバーの洗浄を行う。

【0018】続いて、該非晶質Si膜を、400℃~500℃で熱処理して水素を放出させる。この工程は、水素の爆発的な脱離を防ぐことを目的としている。

【0019】次に、前記非晶質薄膜2-2を固相成長させる。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。 1×10^{-6} から $1 \times 10^{-10} \text{ Torr}$ の高真空雰囲気アニールを行ってもよい。固相成長アニール温度は500℃~700℃とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。発明者の実験において、アニール温度600℃、アニール時間16時間で固相成長させることにより2μm以上の大粒径シリコン薄膜が得られている。図2(b)において、2-3は固相成長シリコン薄膜を示している。

【0020】以上は、固相成長法によるシリコン薄膜の作製方法について説明したが、そのほかに、LPCVD法あるいはスパッタ法や蒸着法等の方法でシリコン薄膜を作製してもよい。

6

【0021】次に、前記固相成長シリコン薄膜をフォトリソグラフィ法によって図2(c)に示されているように島状にパターニングする。

【0022】次に図2(d)に示されているように、ゲート酸化膜2-4を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理することによってより緻密で界面準位の少ない優れた膜となる。非晶質絶縁基板2-1として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがある。約800℃以上で酸化膜が生成される。石英基板を用いるにはたとえば1000℃以上のなるべく高い温度でdry酸化させるのが適している。ゲート酸化膜の膜厚は、500Åから1500Å程度が適している。

【0023】ゲート酸化膜形成後、必要に応じてボロンをチャンネルイオン注入し、チャンネルドーピングしてもよい。これは、Nch薄膜トランジスタのスレッシュホールド電圧がマイナス側にシフトすることを防ぐことを目的としている。前記非晶質シリコン膜のデボ膜厚が500~1500Å程度の場合は、ボロンのドーズ量は 1×10^{12} ~ $5 \times 10^{12} \text{ cm}^{-2}$ 程度が適している。前記非晶質シリコン膜の膜厚が500Å以下の薄い場合にはボロンドーズ量を少なくし、目安としては $1 \times 10^{12} \text{ cm}^{-2}$ 以下にする。また、前記膜厚が1500Å以上の厚い場合にはボロンドーズ量を多くし、目安としては $5 \times 10^{12} \text{ cm}^{-2}$ 以上にする。

【0024】チャンネルイオン注入のかわりに、2-2のシリコン膜の堆積時にボロンを添加してもよい。これは、シリコン膜堆積時にチャンバー中にシランガスと共にジボランガス(B_2H_6)を流して反応させることによって得られる。

【0025】次に2層ゲート電極の作成プロセスに移る。図2(e)に示されているように下層のエッチングレートの高い大きな薄膜2-5を成膜する。ここではシリサイド膜を用いて成膜する。成膜方法としては、別々のルツボから金属とシリコンを同時に蒸着するコエバポレーション法、あるいはスパッタリング法、あるいはシラン(SiH_4)ガスと金属弗化物ガス(例えば、 MoF_6 、 Wf_6 等)の熱分解によるCVD法等の方法がある。シリサイド膜の組成比の制御性が優れている点から、上記の方法のなかで金属とシリコンの混晶ターゲットを用いたスパッタ法がよく使われている。

【0026】例えば、シリサイド膜として MoSi_2 膜を用いる場合には、 MoSi_3 等のようなストイキオメトリよりもシリコンリッチな組成比を持つ混晶ターゲットをもちいてスパッタリングする。これは成膜され

(5)

特開平6-250214

7

た膜をストイキオメトリ的な組成に近づけることと、応力を緩和させることを目的としている。膜厚については、先にも述べたように、シリサイド膜と石英基板とを比べるとその線膨張率は1桁以上も異なるので、シリサイド膜の膜厚は厚くても2500Å程度が限界である。これ以上の膜厚にすると、膜自身にクラックがはいってしまう可能性がある。

【0027】次に図3(a)上層のエッチングレートの小さな薄膜2-6を成膜する。ここでは低抵抗の多結晶シリコン膜を用いた場合を例として説明する。まず、拡散法を用いた成膜方法について説明する。LPCVD法等の方法で多結晶シリコン膜を堆積させて、その後900~1000℃のPOC1₃拡散法によりPを前記多結晶シリコン膜に添加する。この時、該多結晶シリコン膜上には薄い酸化膜が皮膜されているので、フッ酸を含む水溶液で該酸化膜を除去する。イオン注入法によりPを添加する方法もある。その他にドーパント多結晶シリコン膜を堆積させることにより上層膜2-6とする方法もある。これは、SiO₂ガスとPH₃ガスの混合ガスを分解させることにより成膜する方法である。LPCVD法では500~700℃での熱分解、PECVD法ではグロー放電分解によって不純物添加多結晶シリコン膜が成膜される。PECVD法では300℃程度で非晶質シリコン膜を成膜する事ができる。前述したような固相成長法により、このドーパント非晶質シリコン膜を高品質な多結晶シリコン膜に成長させることも有効な方法である。

【0028】上記のような方法で $1 \times 10^{19} \text{ cm}^{-3}$ 以上のPが添加された多結晶シリコン膜を500~2000Å程度堆積させる。

【0029】次にゲート電極の形成工程に移る。フォトリソグラフィ法により図3(b)に示されるようにレジストマスク2-7を形成する。

【0030】続いて図3(c)に示されるように、ゲート電極を形成する。エッチングレートの大きい下層膜2-5とエッチングレートの小さい薄膜2-6を同時にパターンニングする。エッチングはドライエッチング装置を用いて行う。通常は、フロンガス(CF₄)をプラズマ放電させることによって多結晶シリコンあるいはシリサイド膜あるいはポリサイド膜等をプラズマエッチングする。この時、酸素ガス(O₂)を混合させるとマスクとなっているレジストもエッチング除去しながらゲート電極を加工していくことになる。従って、テーパー形状のゲート電極が形成される。O₂ガスのガス分圧を大きくすると、よりなだらかなテーパー形状になる。このように、分圧比によりテーパー形状を制御することができる。シリサイド膜としモリブデンシリサイド膜を用いた発明者の実験によると、同一エッチング条件のもとでモリブデンシリサイド膜のエッチングレートは、多結晶シリコン膜のエッチングレートの約1.2倍であった。このエッチングレートの差により下層膜2-5のパター

8

ン幅は上層のパターン幅よりも片側で1だけ細くなる。Lをオフセット長2-8と呼ぶ。薄膜トランジスタのオフリーク電流低減のためには、Lは0.5μm以上、望ましくは1から1.5μmが適している。

【0031】次に、図3(d)に示されているように、レジストマスク2-7を剥離する。

【0032】次に、図3(e)に示されるようにソース領域及びドレイン領域を形成するためのイオン注入を行う。イオン注入法により、前記第1の半導体層にアクセプター型またはドナー型の不純物をイオン注入し、前記上層膜2-6に対して自己整合的にソース領域およびドレイン領域を形成する。図3(e)において、2-9は高濃度にイオン注入されたソース領域、および2-10はドレイン領域を示している。

【0033】前記アクセプター型の不純物としては、ボロン(B)等を用いる。前記ドナー型の不純物としては、リン(P)あるいはヒ素(As)等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。2-11で示される矢印は不純物のイオンビームを表している。前記絶縁性非晶質材料2-1として石英基板を用いた場合には熱拡散法を使うことができる。不純物ドーザ量は、 1×10^{14} から $1 \times 10^{17} \text{ cm}^{-2}$ 程度とする。不純物濃度に換算すると、ソース領域2-9およびドレイン領域2-10で約 1×10^{19} から $1 \times 10^{22} \text{ cm}^{-3}$ 程度である。

【0034】実施例ではレジストマスク2-7を剥離してからイオン注入すると説明したが、イオン注入してからレジストマスクを剥離しても良い。

【0035】続いて、図4(a)に示すように下層絶縁膜2-12を積層する。該下層絶縁膜材料としては、段差被覆性の優れた酸化膜あるいは窒化膜などを用いる。例えばSOG(Spin On Glass)が優れている。これはSiO₂を溶解した溶液をスピンナーにより塗布し、その後の熱処理により溶媒を除去させて酸化膜を形成させる方法である。従って、段差被覆性が格段に優れている。本発明のようなオーバーハング構造の上に絶縁膜を形成する場合には特に適している。

【0036】しかし、前記SOG膜はクラックが発生し易い欠点があるため、この方法で形成可能な絶縁膜の膜厚は500Å程度、せいぜいでも1000Å程度である。従って、図4(b)に示されるようにSOGで形成された下層絶縁膜2-12の上に層間絶縁膜2-13を成膜することが必要になる場合がある。酸化膜の成膜方法としては、LPCVD法、APCVD法、プラズマCVD法、ECRプラズマCVD法、光励起CVD法等の方法がある。さらにソースガスとして有機シリコン化合物TEOS(Tetra Ethyl Ortho-Silicate)やオゾンを用いる方法がある。TEOSを用いると優れた段差被覆性が実現される。また、P

9

SG (Phosphosilicate glass) やBSG (Borosilicate glass) をリフローさせるとさらに優れた段差被覆性を実現することができる。膜厚に関しては、数千Åから数 μm 程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス (NH_3) とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。層間絶縁膜の段差被覆性が良好ならば先に述べた下層絶縁膜2-12は必要なくなる。

【0037】続いて、前記層間絶縁膜の緻密化と前記ソース領域及びドレイン領域の活性化と結晶性の回復を目的として活性化アニールを行う。活性化アニールの条件としては、 N_2 ガス雰囲気中で800~1000℃程度に低温化し、アニール時間を20分~1時間程度とする。900~1000℃では20分程度のアニールで不純物はかなり活性化される。800~900℃では20分から1時間のアニールをする。一方、はじめに500~800℃で1~20時間程度のアニールにより結晶性を十分に回復させた後、900~1000℃の高温で活性化させるという2段階活性化アニール法も効果がある。また、赤外線ランプやハロゲンランプを用いたRTA (Rapid Thermal Annealing) 法も効果がある。さらには、レーザービーム等を用いたレーザー活性化法を利用することも効果がある。

【0038】次に、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、結晶粒界に存在するダングリングボンドや、ゲート酸化膜界面などに存在する欠陥や、ソース、ドレイン部とチャネル部との接合部に存在する欠陥が不活性化される。このような水素化工程は、層間絶縁膜2-13を積層する前におこなってもよい。または、後に述べる、ソース電極とドレイン電極を形成してから前記水素化工程を行ってもよい。

【0039】次に図4(c)に示すように、層間絶縁膜2-13とゲート酸化膜2-4にコンタクトホールをフォトリソグラフィにより形成する。そして同図に示すようにソース電極2-14およびドレイン電極2-15を形成する。該ソース電極及びドレイン電極は、アルミニウムあるいはクロムなどの金属材料で形成する。この様

にして薄膜トランジスタが形成される。

【0040】
【発明の効果】以上説明したように、本発明により、走査線の低抵抗化とともに、薄膜トランジスタのオフリーク電流も低減できるといように、液晶ディスプレイの特性向上に対して非常に大きな効果が期待される。

【0041】本発明のようなシリサイド膜を用いた2層走査線によって、走査線のシート抵抗を、従来の多結晶シリコンの場合の25 Ω/\square から3分の1の8 Ω/\square 程度に低減することが出来る。従って、先にも述べたよう

(6)

特開平6-250214

10

に、液晶ディスプレイが抱える様々な問題点を解決することが出来る。

【0042】走査線には左右両側からゲート信号が送られているので、走査線に断線が生じて、走査線抵抗が十分に小さいので信号遅延が小さく、液晶ディスプレイの画面表示にはなんら影響ない。従って、ソース線と走査線の短絡が生じていても、その短絡点の両側の走査線を切断する事によって短絡欠陥を救済することが出来る。このように、歩留まり向上に対して大きな効果がある。

【0043】走査線抵抗が小さくなるので、走査線の時定数 τ が低減する。従って、画面の中央と端での画素トランジスタの立ち上がり特性が均一になる。その結果、フリッカ或いは表示ムラを低減する事が出来る。しかも、走査線のライン容量を低減させなくてもよいので、画素の保持特性が低下する事はない。このように、本発明により、画素保持特性を低下させる事なく、フリッカ或いは表示ムラの極めて少ない液晶ディスプレイを実現する事が出来る。

【0044】ハイビジョン用TFTに関しては、投影型のディスプレイとして構成するために、ライトバルブ等が要求される事から4インチ程度の大きなTFTパネルを作成しなければならない。この様に長い走査線を有するパネルを作製する場合に、本発明の効果は一段と大きくなる。

【0045】走査線が低抵抗化されるので、付加的な画素保持容量線を廃止する事が可能になる。従って、開口率が向上し、その結果、非常に明るい液晶ディスプレイを実現する事が可能となる。

【0046】薄膜トランジスタのゲート電極は、下層膜をエッチングレートの大きなシリサイド膜、上層をエッチングレートの小さな不純物添加された多結晶シリコン膜で形成した。従って、1回のフォトリソグラフィ工程で簡単にオフセットゲート構造を形成することが可能になる。その結果、薄膜トランジスタのオフリーク電流が極めて小さくなり、画素保持特性が向上する。さらに、消費電流の低減に対しても大きな効果がある。

【0047】一方、シリサイド膜は非常に大きな凹凸の表面を持っているが、最上層に多結晶シリコン膜を積層させる事により、この凹凸はならされて平坦な表面を得る事が出来る。その結果、このゲート電極上に積層される酸化膜の密着が改善され、これにコンタクトホールを開ける場合の異常エッチが解消される。

【0048】オフセットゲート構造を有しているので、画素の保持特性が改善される。さらに、消費電流の低減に対しても大きな効果が期待される。

【0049】固相成長法を用いることによって、非晶質絶縁基板上に結晶性の優れたシリコン薄膜を作製することが可能になったのでSOI技術の発展に大きく寄与するものである。ゲート線の低抵抗化は、固相成長等の方

(7)

特開平6-250214

11

法で改善された薄膜トランジスタの特性を最大限に引き出し、非常に優れた液晶ディスプレイを実現する上で大きな効果がある。

【0050】本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本縫ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

【0051】石英基板やガラス基板だけではなく、サファイア基板あるいは $MgO \cdot Al_2O_3$ 、BP、 CaF_2 等の結晶性絶縁基板も用いることができる。

【0052】以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

【0053】固相成長法を例にとって本発明について説明したが、本発明は固相成長法ばかりではなく、LPCVD法やその他の方法、例えばEB蒸着法やスパッタ法やMBE法で成膜した $poly-Si$ 薄膜を利用して薄膜半導体装置を作成する場合にも応用することができる。また、一般的なMOS型半導体装置にも応用することができる。

【図面の簡単な説明】

【図1】 (a) から (b) は、本発明の実施例を示すアクティブマトリックス型液晶表示装置の平面図及び構造断面図である。

12

【図2】 (a) から (e) は、本発明のアクティブマトリックス型液晶表示装置の製造方法を示す工程断面図である。ただし、図1 (a) の直線A-Bで切った時の断面図である。

【図3】 (a) から (e) は、本発明のアクティブマトリックス型液晶表示装置の製造方法を示す工程断面図である。ただし、図3 (a) は、図2 (e) から続いている。

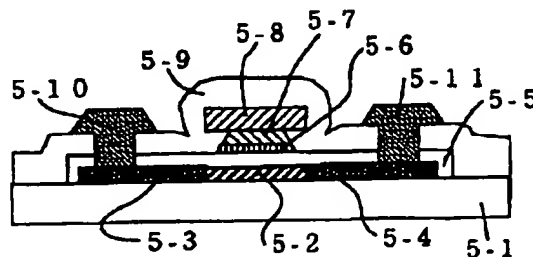
【図4】 (a) から (c) は、本発明のアクティブマトリックス型液晶表示装置の製造方法を示す工程断面図である。ただし、図4 (a) は、図3 (e) から続いている。

【図5】 従来のアクティブマトリックス型液晶表示装置に用いられている薄膜トランジスタおよび走査線の構造断面図である。

【符号の説明】

- 1- 2 上層のエッチングレートの小さな薄膜
- 1- 3 下層のエッチングレートの大きな薄膜
- 1- 7 ソース線
- 1- 8 画素電極
- 1-10 ソース領域
- 1-11 ドレイン領域
- 1-12 層間絶縁膜
- 1-13 多結晶シリコン/シリサイド2層膜
- 1-14 下層の絶縁膜
- 1-15 オフセット長
- 2- 1 絶縁性透明基板
- 2- 3 多結晶シリコン薄膜
- 2- 4 ゲート絶縁膜
- 2- 5 下層のエッチングレートの大きな薄膜
- 2- 6 上層のエッチングレートの小さな薄膜
- 2- 7 レジストマスク
- 2- 8 オフセット長
- 2- 9 ソース領域
- 2-10 ドレイン領域
- 2-12 下層絶縁膜
- 2-13 層間絶縁膜

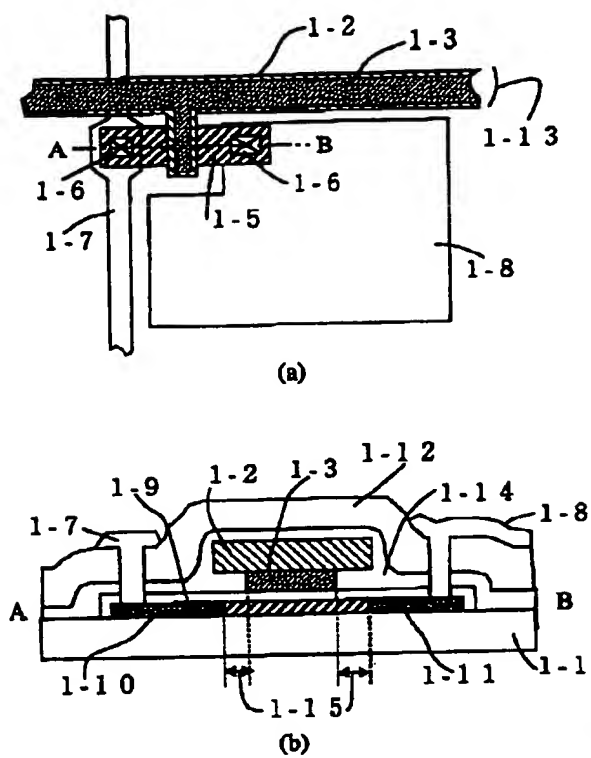
【図5】



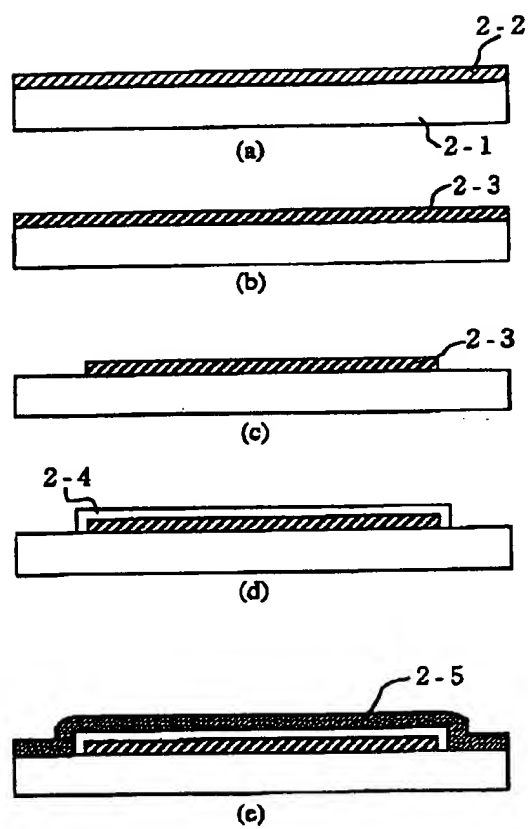
(8)

特 隔 平 6 - 2 5 0 2 1 4

【图 1】



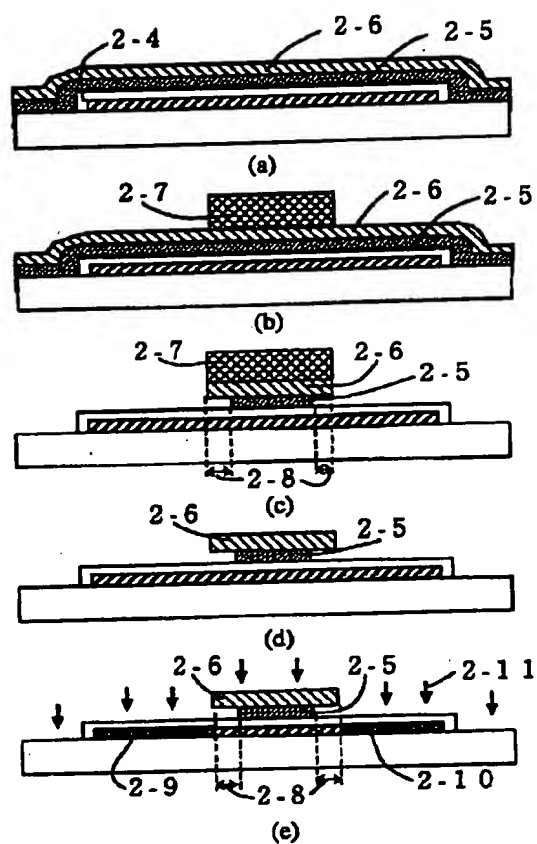
【图 2】



(9)

特開平6-250214

【図3】



【図4】

